

DERWENT-ACC-NO: 2002-633459

DERWENT-WEEK: 200268

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Method for fabricating storage node contact

INVENTOR: BAE, Y H; KIM, J G ; KIM, J S ; KONG, P G ; LEE, D D

PATENT-ASSIGNEE: HYNIX SEMICONDUCTOR INC[HYNIN]

PRIORITY-DATA: 2000KR-0056523 (September 26, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 2002024735 A	April 1, 2002	N/A	001	H01L 021/28

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
KR2002024735A	N/A	2000KR-0056523	September 26, 2000

INT-CL (IPC): H01L021/28

ABSTRACTED-PUB-NO: KR2002024735A

BASIC-ABSTRACT:

NOVELTY - A method for fabricating a storage node contact is provided to reduce damage to a hard mask layer and to prevent a short-circuit between a storage node and a bit line, by preventing a hard mask layer attack when even a void is etched in etching a storage node and by etching a small quantity in etching an oxide layer on a plug poly.

DETAILED DESCRIPTION - An interlayer dielectric is deposited on a semiconductor substrate(100), and a masking etch is performed to form the plug poly(120). A gate oxide layer, a conductive layer and a hard mask layer are sequentially stacked, and are patterned by a masking etch process. A nitride layer spacer is stacked at both sides of the patterned structure to form the bit line. A passivation layer(130) having poor step coverage is deposited to form the void among the bit lines. A photoresist layer for protecting a contact formation

Base et.al

portion is deposited, and a masking etch process for forming the storage node contact is performed. An oxide layer having an excellent filling property is deposited on a portion of the resultant structure where the storage node contact is not formed, and an insulation process is performed regarding a portion where the storage node contact is formed. A chemical mechanical polishing(CMP) process is performed, and the second nitride layer is deposited. A photoresist layer is deposited, and a masking etch process for forming the storage node contact is performed to form the storage node contact connected to the plug poly.

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS: METHOD FABRICATE STORAGE NODE CONTACT

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C06; L04-C07;

EPI-CODES: U11-C05F;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2002-178882

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. ⁷
H01L 21/28

(11) 공개번호 특2002-0024735
(43) 공개일자 2002년04월01일

(21) 출원번호 10-2000-0056523
(22) 출원일자 2000년09월26일

(71) 출원인 주식회사 하이닉스반도체
박중섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 공필구
경기도수원시장안구영화동430-9
김중삼
서울특별시광진구자양3동471-5호한양주택203호
배영현
경기도이천시부발읍아미리현대7차아파트707동1205호
김준기
서울특별시강남구삼성동해청아파트나-303
이동덕
경기도이천시중포동대우2차APT204동501호

(74) 대리인 특허법인아주(대표변리사정은섭)

심사청구 : 없음

(54) 스토리지 노드 콘택 형성방법

요약

본 발명은 반도체 기판의 콘택 형성 공정 중 비트 라인 사이에 인위적 보이드를 형성시키는 스토리지 노드 콘택 형성 방법에 관한 것으로, 도체 층간 절연물로 사용하고 있는 산화물 중 층 덮힘성이 좋지 않은 절연보호막을 이용하여 콘택 형성 부위에 선택적으로 보이드를 형성하여 하드마스크질화막의 손상을 작게 할수 있으며 플러그폴리와 비트라인 간의 쇼트가 발생하는 것을 방지하도록 할 수 있는 것을 특징으로 하여 반도체 소자의 특성, 신뢰성 및 수율을 향상시키고 그에 따른 반도체 소자의 고집적화를 가능하게 하는 기술로 매우 유용하고 효과적인 장점을 지닌 발명에 관한 것이다.

대표도
도 2f

색인어
콘택, 스토리지노드, 보이드

명세서

도면의 간단한 설명

도1은 종래의 스토리지 노드 콘택 형성을 나타낸 단면도이다.

도2a 내지 도2f는 본 발명의 스토리지 노드 콘택 형성방법을 단계적으로 나타낸 단면도이다.

- 도면의 주요부분에 대한 부호의 설명 -

1 : 반도체 기판 2 : 게이트 산화막

3 : 도전막 5 : 측벽 스페이서

7 : 하드마스크층 9 : 감광막

10 : 콘택 100 : 반도체 기판

105 : 층간 절연막 109 : 도전막

112 : 하드마스크층 115 : 제1질화막

115' : 질화막 스페이서 120 : 플러그폴리

125 : 보이드 130 : 절연보호막(충돌힘이 나쁜 산화막)

130' : 산화막 스페이서 140 : 제2질화막

150 : 감광막 160 : 콘택 형성부위

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스토리지 노드 콘택 형성 방법에 관한 것으로, 보다 상세하게는 반도체 기판의 콘택 형성 공정 중 소정의 하부 구조를 갖는 반도체 기판 상에 비트라인과 스페이서를 갖는 게이트 사이에 인위적 보이드를 형성시켜 게이트와 콘택 폴리실리콘층에 쇼트가 발생하는 것을 방지하도록 하는 반도체 소자의 스토리지 노드 콘택 형성방법에 관한 것이다. 최근 반도체 장치가 고집적화되어 감에 따라, 디자인 룰(design rule)이 점차 축소되고, 공정의 여유도도 점차로 줄어들고 있다. 특히 DRAM(Dynamic Random Access Memory)의 경우, 기가(Giga) 비트 수준의 제품으로 연구가 진행되어 감에 따라 제조공정에서 설계 룰이나 공정의 여유도가 차지하는 비중이 점차로 증가되고, 결과적으로 소자의 동작 특성에도 영향을 미치고 있다. 특히, DRAM에 사용되는 커패시터는 데이터의 정상적인 입출력이나 리프레시(refresh) 특성의 확보를 위해 제한된 면적에 일정 용량 이상의 커패시턴스(capacitance)를 확보해야만 하므로, 이를 달성하기 위해 커패시터의 스토리지 노드의 구조가 3차원적으로 복잡해지고, 그 높이도 증가되고 있다. 따라서 DRAM의 커패시터에 있어서 설계 룰의 축소나 공정 여유도의 감소는 어느 메모리 장치나 소자 보다는 심각한 제약으로 받아들여지고

있다.

상기와 같은 문제를 극복하고 일정 수준 이상의 커패시턴스를 확보하기 위하여 여러 가지 구조의 커패시터가 제안되었는데, 대별하면 트렌치(trench)형, 스택(stack)형, 또는 상기 2가지를 적절히 조합한 조합형으로 분류할 수 있다.

일반적으로, 스토리지 노드는 데이터를 저장하기 위하여 전하를 저장하는 전극으로서, 통상적으로 소정의 공정을 거쳐서 게이트를 형성한 후 절연막을 적층하고, 마스크식각으로 하부와 연결되는 콘택홀을 형성하고, 그 콘택홀 내에 실리콘을 적층하여 CMP연마 공정을 평탄화하여서 형성하게 된다.

도1은 종래의 홀 형태의 스토리지 노드 콘택 형성을 보여주는 단면도이다.

도1에 도시된 바와 같이, 소정의 하부 구조를 갖는 반도체 기판(1)상에 게이트 산화막(2)과 도전막(3)을 적층한 마스크 패턴을 형성한 후 마스크 패턴 측벽에 스페이서(5)를 형성하여 비트라인(A)를 형성한다.

그리고, 상기 결과물 상에 하드마스크층(7)과 감광막(9)을 적층하여서 마스크 식각으로 비트라인(A) 사이의 반도체 기판(1)에 콘택홀(10)을 형성한 후 감광막(9)을 제거한다.

그런데, 상기한 종래의 스토리지 노드 콘택 형성방법은, 도1에서 "B"로 표시된 바와 같이, 비트라인(A)의 도전막(3)인 텅스텐실리사이드층이 식각으로 인하여 노출되면서 후속 공정에서 콘택홀 내에 폴리실리콘층을 적층하면서 쇼트가 발생하는 문제점을 가지고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 본 발명의 목적은 소정의 하부 구조를 갖는 반도체 기판 상에 도전막과 스페이서를 갖는 비트라인을 형성한 후, 충딴힘성이 나쁜 절연보호막을 도포하여 게이트 사이에 인위적인 보이드를 형성하고, 상기 결과물을 마스크 식각하여 질화막 스페이서 외곽 및 바닥에 산화막 스페이서가 형성되게 하므로써 스토리지 노드 식각시 보이드까지 식각하여도 하드마스크층 어택(attack)이 없으며, 플러그 상부 소량의 산화막을 식각할 시에도 식각량이 소량이기 때문에, 하드마스크층의 손실을 작게 할수 있으며 스토리지 노드와 비트라인 간의 쇼트가 발생하는 것을 방지하도록 하는 것이 목적이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 소정의 하부 구조를 갖는 반도체 기판 상에 층간절연막을 증착하고 마스크 식각을 실시하여 플러그홀리를 형성하는 단계와, 상기 결과물 상에 게이트를 형성하는 단계와, 상기 결과물 상에 충딴힘성이 나쁜 절연보호막을 증착하여 보이드를 형성하는 단계와, 상기 결과물 상에 콘택 형성부위를 보호하는 감광막을 증착하여 스토리지 노드 콘택 형성을 위한 마스크 식각을 진행하는 단계와, 상기 결과물 상에 스토리지 노드 콘택이 형성되지 않는 부위에 매립성이 좋은 산화막을 증착하여 스토리지 노드 콘택이 형성되는 부위간에 절연공정을 실시하는 단계와, 상기 결과물을 CMP공정으로 평탄화를 실시한 후 제2절화막을 증착하는 단계와, 상기 결과물 상에 감광막을 증착하여 스토리지 노드 콘택 형성을 위한 마스크 식각을 진행하여 플러그홀리와 연결되는 스토리지 노드 콘택을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 스토리지 노드 콘택 형성방법을 제공한다.

본 발명은 게이트 배선 사이에 매립된 충딴힘성이 나쁜 절연보호막 증착 시 충분히 증착되지 못하여 형성된 보이드를 이용하여 하드마스크층의 손실을 작게 할수 있으며 플러그홀리와 비트라인 간의 쇼트가 발생하는 것을 방지할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 대해 상세히 설명하고자 한다.

도2a에 도시된 바와 같이, 소정의 하부 구조를 갖는 반도체 기판 상에 층간절연막을 증착하여 감광막을 적층하고 마스크 식각을 실시하여 플러그홀리를 형성한다.

그리고, 도2b에 도시된 바와 같이, 상기 결과물 상에 게이트산화막(105), 도전막(109), 하드마스크층(112) 및 제1절화막(115)을 차례로 증착하여 마스크 패턴을 형성한다.

이때, 상기 제1절화막(115)을 증착시 100Å 두께로 증착한다.

이어서, 도2c에 도시된 바와 같이, 상기 결과물 상에 감광막을 증착하여 플러그(120)까지 마스크 식각하여 절화막 스페이서(115')로 LP 절화막을 형성하여 비트라인(A)을 형성한다.

이때, 상기 LP 절화막은 100 내지 400Å의 두께로 형성한다.

도2d에 도시된 바와 같이, 상기 결과물 상에 층돌힘성이 나쁜 절연보호막을 도포 시 인위적인 보이드(125)가 형성되며, 절화막 스페이서 측벽에 잔류한 산화막 스페이서가 형성된다.

상기 층돌힘성이 나쁜 절연보호막(130) 증착 시 보이드(125)가 형성되며 보이드(125)의 측벽 및 하부에 잔류된 산화막(130)을 HF계열의 화학 용액을 사용하여 제거함으로써 보이드(125)를 크게 형성한다.

그리고, 도2e에 도시된 바와 같이, 상기 결과물을 CMP공정으로 평탄화하여 제2절화막(140)을 증착한다.

이때, 상기 제2절화막(140)은 1 내지 1000Å의 두께로 형성한다.

도2f에 도시한 바와 같이 상기 결과물 상에 스토리지 노드 콘택이 식각될 수 있도록 노광공정을 실시한다.

마지막으로, 도2g에 도시한 바와 같이 상기 결과물의 콘택 형성부위(160)를 마스크 식각하여 스토리지 노드 콘택(180)을 형성한다.

후속 공정은 공지된 기술을 이용하여 전하저장전극 및 금속배선을 실시하여 반도체 장치를 제조한다.

발명의 효과

따라서, 상기한 바와 같이, 본 발명에 따른 스토리지 노드 콘택 형성방법을 이용하게 되면, 소정의 하부 구조를 갖는 반도체 기판 상에 플러그홀리를 형성한 후, 상기 결과물 상에 비트라인과 스페이서를 갖는 비트라인을 형성하며, 층돌힘성이 나쁜 절연보호막을 증착하여 비트라인 사이에 인위적인 보이드를 형성하고, 상기 결과물을 마스크 식각하여 절화막 스페이서 외곽 및 바닥에 산화막 스페이서가 형성되게 하므로써 스토리지 노드 식각시 보이드까지 식각하여도 하드마스크층 어택(attack)이 없으며, 플러그홀리 상부 소량의 산화막을 식각 할 시에도 식각량이 소량이기 때문에, 하드마스크층의 손실을 작게 할수 있으며 스토리지 노드와 비트라인 간의 쇼트가 발생하는 것을 방지하도록 하는 매우 유용하고 효과적인 발명이다.

(57) 청구의 범위

청구항 1.

소정의 하부 구조를 갖는 반도체 기판 상에 층간절연막을 증착하고 마스크 식각을 실시하여 플러그홀리를 형성하는 단계와;

상기 결과물 상에 게이트산화막, 도전막, 하드마스크층을 순차적으로 적층하여 마스크식각으로 패터닝 한 후, 양측에 절화막 스페이서를 적층하여 비트라인을 형성하는 단계와;

상기 결과물 상에 충도힘성이 나쁜 절연보호막을 증착하여 비트라인 사이에 보이드를 형성하는 단계와;

상기 결과물 상에 콘택 형성부위를 보호하는 감광막을 증착하여 스토리지 노드 콘택 형성을 위한 마스크 식각을 진행하는 단계와;

상기 결과물 상에 스토리지 노드 콘택이 형성되지 않는 부위에 매립성이 좋은 산화막을 증착하여 스토리지 노드 콘택이 형성되는 부위간에 절연공정을 실시하는 단계와;

상기 결과물을 CMP공정으로 평탄화를 실시한 후 제2질화막을 증착하는 단계와;

상기 결과물 상에 감광막을 증착하여 스토리지 노드 콘택 형성을 위한 마스크 식각을 진행하여 플러그폴리와 연결되는 스토리지 노드 콘택을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 스토리지 노드 콘택 형성방법.

청구항 2.

제 1항에 있어서, 상기 질화막 식각 시 질화막 스페이서 두께는 100 내지 400Å인 것을 특징으로 하는 스토리지 노드 콘택 형성방법.

청구항 3.

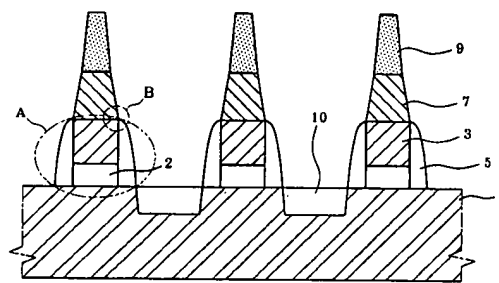
제 1항에 있어서, 상기 충도힘성이 나쁜 절연보호막은 PE-TEOS막으로 증착하는 것을 특징으로 하는 스토리지 노드 콘택 형성방법.

청구항 4.

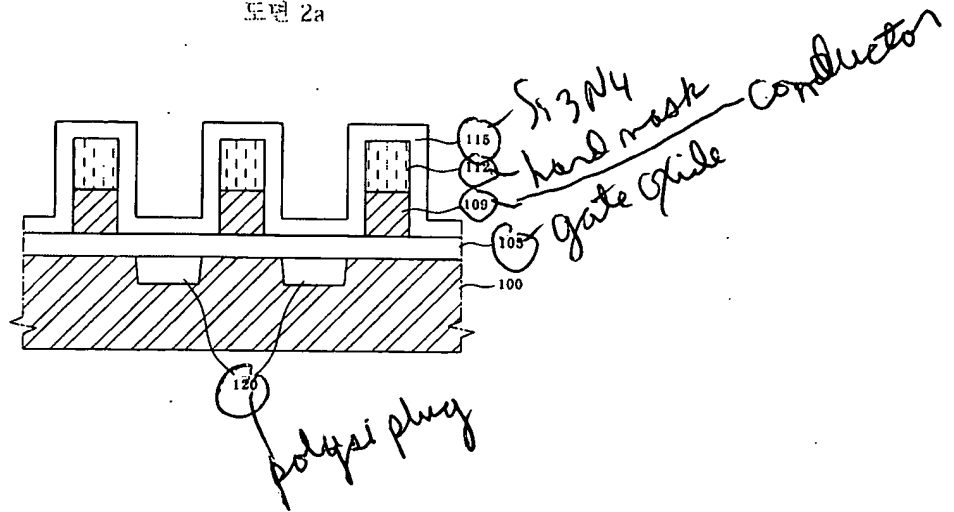
제 1항에 있어서, 상기 산화막 식각 절연층으로 제2질화막 두께를 1 내지 1000Å인 것을 특징으로 하는 스토리지 노드 콘택 형성방법.

도면

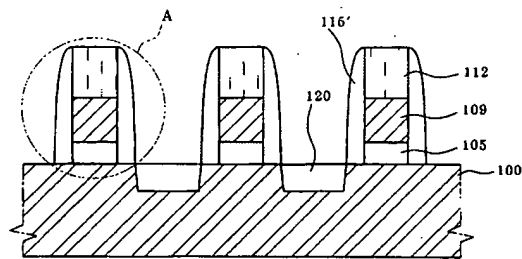
도면 1



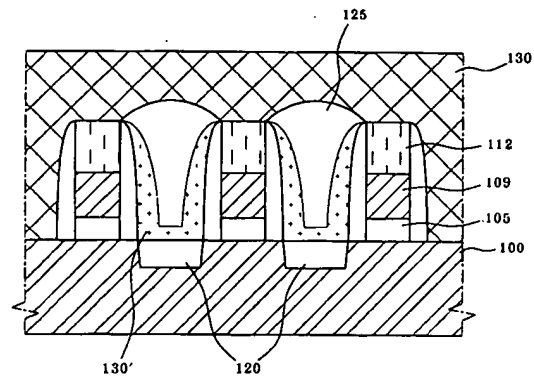
도면 2a



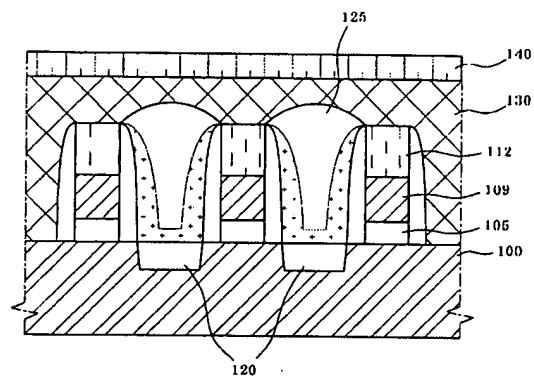
도면 2b



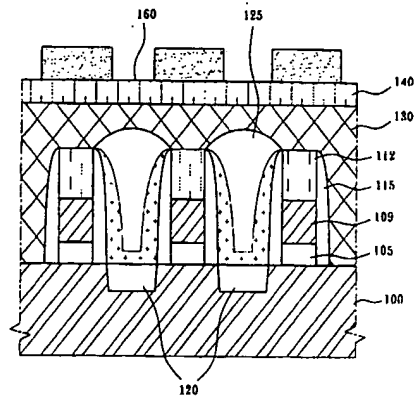
도면 2c



도면 2d



도면 2e



도면 2f

